

①

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-038930

(43)Date of publication of application : 12.02.1999

(51)Int.Cl. G09G 3/20  
G09G 3/28  
G09G 3/36

(21)Application number : 09-194688

(71)Applicant : FUJITSU LTD

(22)Date of filing : 22.07.1997

(72)Inventor : AWAMOTO KENJI

MATSUI NAOKI

ASAMI FUMITAKA

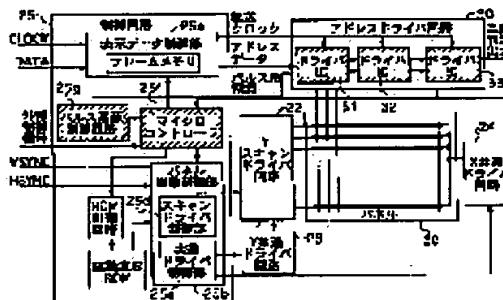
OKAYASU JUNICHI

## (54) DRIVING CIRCUIT FOR PLANE DISPLAY DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent picture quality from deteriorating in states of low and middle temperatures, to solve the problems in installation space and noise, and to eliminate redundant electric power, by controlling the physical value causing temperature rise to lower the temperature when the detected temperature of a driver exceeds a reference temperature.

**SOLUTION:** An address driver circuit 30 comprises driver ICs 31-33, and assuming the number of outputs of each IC as N, the number of the driver ICs as M, the address driver circuit 30 can drive a display panel 20 having address lines of  $M \times N$  main bodies at a maximum. And, each of the drivers IC31-33 has a temperature judgment output, and when the temperature judgment output of any one of the driver ICs becomes active, a predetermined control routine is started by a micro controller 25f of a control circuit 25. Namely, by controlling a physical value causing the temperature rise of the drivers CI31-33, for example, controlling a pulse power control circuit 25g, the level of an address electrode driving waveform is lowered in an address period.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office



## 【特許請求の範囲】

【請求項1】表示パネル上にマトリクス状に配列された画素を駆動するドライバを備える平面表示装置の駆動回路において、

前記ドライバの温度を検出する温度検出手段と、  
該温度検出手段によって検出された温度が基準温度を超えているか否かを判定する判定手段と、  
該判定手段によって否が判定されると前記ドライバの温度上昇の要因となる物理量を温度下降方向に制御する制御手段と、を備えたことを特徴とする平面表示装置の駆動回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、プラズマディスプレイパネル、TFT液晶ディスプレイパネル、ELディスプレイパネルなどの平面表示装置の駆動回路に関し、特に、高画質な平面表示装置の駆動回路に関する。平面表示装置、例えば、プラズマディスプレイパネル、TFT液晶ディスプレイパネル、ELディスプレイパネルなどの画質を向上するには、画素数を増やしたりフレーム周波数を高めたりすることが効果的であるが、反面、消費電力が増えるという欠点があり、省電力性を損なわず高画質化を達成できる技術が求められている。

【0002】上記平面表示装置の消費電力は、表示パネルを駆動するためのドライバが支配的である。特にデータ側のドライバ、例えば、TFT液晶ディスプレイでは表示パネルのデータバスラインを駆動するためのデータドライバ、プラズマディスプレイパネル（以下「PDP」）では表示パネルのアドレスバスラインを駆動するためのアドレスドライバの電力消費が大きい。データ側のドライバは、1ラインを構成する画素数分の出力バッファを備えるが、1個あたりの出力バッファの電力消費が大きい上、画質の向上に伴ってバッファの数がますます増える傾向にあるからであり、しかも、サブフレーム方式と呼ばれる駆動法を採用するPDPにあつては、サブフレームの数をAとすると、1フレーム中にA回上記バッファが動作し、実質的にフレーム周波数をA倍したことになる結果、単純計算でA倍の電力アップになるからである。

## 【0003】

【従来の技術】上記平面表示装置のうちPDPの高画質化と省電力化を両立する技術として、いわゆるAPC（auto power control：消費電力自動制御機能）と称される機能が知られている。

## (1) PDPのセル構造とその駆動原理

PDPの基本的なセル構造は、電極が放電セルに露出している直流型と、絶縁層で覆われている交流型の二つのタイプがあり、輝度の点で主流は後者の交流型である。さらに、交流型PDPも、2枚の基板のそれぞれに陽極と陰極を設けた2電極型と、一方の基板に陽極と陰極を

設けるとともに他方の基板に第三の電極（いわゆるアドレス電極；A電極と略すこともある）を設けた3電極型に分かれるが、特にカラーPDPでは、蛍光体の劣化を防止できるメリットから、3電極型が用いられる。なお、交流型PDPの陽極及び陰極の“陽／陰”は印加電圧の極性で決まり、駆動方法によっては極性反転もあるから、一般的にパネルの座標軸（X、Y）を付けてX電極及びY電極と呼び表される。

【0004】図15は3電極型PDPの断面構造図であり、1、2はガラス基板、3はA電極、4はX電極、5はY電極、6は蛍光体、7は絶縁膜、8は誘電体層、9は放電空間である。このような構造の3電極型PDPの駆動方法として、1フレームを複数個、たとえば8個のサブフレームに分割し、各サブフレームの維持放電期間を1：2：4：8：16：32：64：128の比率に設定するとともに、これらのサブフレームを組み合わせで多階調表示を実現する、いわゆる「サブフレーム方式」と呼ばれるものがある。

【0005】図16はサブフレーム方式のフレーム構造概念図である。1フレームは複数個（図では8個）のサブフレームSF1～SF8で構成されている。各サブフレームは三つの期間、すなわち「リセット期間」、「アドレス期間」及び「維持放電期間」からなり、最初の二つの期間の長さは同じであるが、維持放電期間t1～t8は上記比率のとおり異なっている。なお、L1、L2、……、Lnは水平走査線である。また、各サブフレームのアドレス期間内の太斜線は、L1、L2、……、Lnを線順次で選択している様子を模式的に表している。

【0006】図17は1サブフレーム期間におけるアドレス電極、X電極及びY電極の波形タイミング図である。なお、以下の説明で使用する電圧値は便宜値であり、これに限定されない。リセット期間では、まず、すべてのY電極に0Vを与えながら、放電に必要な充分な電位差を与えるために、アドレス電極に+110V程度の正パルス10を与えた状態で、X電極に+330V程度の正パルス11（全面書き込みパルスとも言う）を与える。これにより、すべてのセルで放電が生じる。次に、アドレス電極とX電極に0Vを与えて再びすべてのセルで放電を生じさせると、この放電は、電極間の電位差がゼロのため、壁電荷が形成されずに自己中和して終息し、いわゆる自己消去放電が行われる。

【0007】アドレス期間では、X電極に+50V程度の正電圧12を与えながら、Y電極に線順次で-150～-160V程度の負パルス13（以下「スキャンパルス」）を印加し、且つ、アドレス電極に選択的に+60V程度の正パルス14（以下「アドレスパルス」）を印加する。なお、スキャンパルスを印加しないY電極には-50～-60V程度の負電圧15を印加しておく。アドレスパルス14を印加したアドレス電極とスキャンパ

ルス13を印加したY電極との間には、放電に必要な充分な電位差(210~220V程度)があるため、両電極間に放電(アドレス放電;図9参照)が生じる。一方、X電極とY電極の間のスキャンパルス部分の電位差は200~210V程度で、アドレス電極との間よりも10V程度低く、この電位差だけでは自主放電が生じないが、アドレス放電を引き金(トリガ)にしてX電極とY電極の間でも放電が生じるため、その交点に位置する誘電体層に壁電荷が形成される。

【0008】維持放電期間(サスティン期間とも言う)では、X電極とY電極に+180V程度の正パルス16(サスティンパルス)を交互に印加し、壁電荷を利用して、X、Y電極間に放電(維持放電;図15参照)を発生させる。サスティンパルス16の周期はすべてのサブフレームにおいて同じである。したがって、各サブフレームにおけるサスティンパルス16の数は、 $1n:2n:4n:8n:16n:32n:64n:128n$ の比関係となり、表示階調に応じてサブフレームを選択し又は組み合わせることにより、0から256(上記比率の場合)までの多階調表示を実現できる。但し“n”はサスティンパルス16の周波数(以下「サスティン周波数」)によって決まる整数である。

## (2) PDPとその駆動装置の概略構成

図18は、交流型PDP及びその駆動装置の構成図である。この図において、20は交流型PDP(以下「パネル」と略す)、21はアドレスドライバ、22はYスキヤンドライバ、23はY共通ドライバ、24はX共通ドライバ、25は制御回路、26はAPC回路である。

【0009】制御回路25は、表示データ制御部25aとパネル駆動制御部25bとを含み、表示データ制御部25aは、外部から与えられる表示データ(DATA)をフレームメモリ25cに一時記憶するとともに、このフレームメモリ25c内のデータに対して所定の信号操作とタイミング処理を施してアドレスドライバ21に出力する。パネル駆動制御部25bは、スキヤンドライバ制御部25dや共通ドライバ制御部25eを含み、外部から与えられる垂直同期信号(VSYNC)及び水平同期信号(HSYNC)に基づいて各種タイミング信号を発生し、表示データ制御部25a、Yスキヤンドライバ22、Y共通ドライバ23及びX共通ドライバ24などに供給する。

【0010】アドレスドライバ21は、表示選択用高電圧電源Vaを用いてアドレスパルスを発生し、このアドレスパルスをパネル20のアドレス電極(A1、A2、……、Am)に選択的に印加する。また、Yスキヤンドライバ22は、表示維持用高電圧電源Vsを用いてスキヤンパルスを発生し、このスキヤンパルスをパネル20のY電極(Y1、Y2、Y3、……、Yn)に線順次で印加する。なお、これらのアドレスパルスやスキヤンパルスは、1サブフレーム中の「アドレス期間」において

発生する。

【0011】Y共通ドライバ23は、表示維持用高電圧電源Vsを用いてサスティンパルスを発生し、1サブフレーム中の「維持放電期間」において、このサスティンパルスをパネル20のすべてのY電極に同時に印加し、X共通ドライバ24は、同じく表示維持用高電圧電源Vsを用いてサスティンパルス及び全面書き込みパルスを発生し、1サブフレーム中の「リセット期間」において、この全面書き込みパルスをパネル20のすべてのX電極に同時に印加するとともに、1サブフレーム中の「維持放電期間」において、このサスティンパルスを同X電極に同時に印加するものである。

## (6) APC機能

PDPの消費電力は点灯画素数(表示率)により増減変化する。すなわち、維持放電期間で消費される最大の電力はすべての画素が点灯しているとき(表示率100%)であり、最小の電力はすべての画素が消灯しているとき(表示率0%)である。また、アドレス期間で消費される最大の電力は表示率50%で且つ表示パターンが表示セルごとに千鳥状に変化するような場合である。

【0012】上限の消費電力Pmaxは、主に仕様要求で決まる。例えば、640×480画素の10インチ・バックライト付液晶パネルと同等の仕様要求であれば、 $P_{max}=6W$ 程度になる。上記のとおり、PDPの消費電力は表示率100%で最大になるため、この表示率100%のときの電力をPmaxに設定すれば簡単であるが、通常の映像表示における表示率は高々30%程度にすぎないから、通常動作範囲における電力とPmaxとの間に余裕がありすぎ、オーバースペックを否めない。

【0013】そこで、表示率があらかじめ定められた基準の表示率(例えば通常動作範囲における表示率を若干上回る程度の表示率)を超えた場合に、サスティン周波数を下げて(言い換えれば上述の比率の“n”を小さくして)、PDPの電力消費をPmaxにリミットすることが行われている。図19は、APC回路26の概略構成図である。表示維持用高電圧電源Vsは、電圧検出回路26aでその電圧値esを検出されると共に、電流検出回路26bでその電流値isを検出される。なお、isの検出は、典型的にはVsの経路上に抵抗素子を挿入してその両端電圧を測定すればよい。es及びisは、それぞれA/D変換器26c、26dでデジタルデータに変換された後、マイクロプロセッサ26eで電力値Psに換算演算( $P_s = e_s \times i_s$ )されると共に、このPsと基準電力(上述のPmaxに相当する)との比較判定が行われる。すなわち、PsがPmaxを超えている場合には、サスティン周波数を下げるための制御データが出力されるようになっており(図18参照)、実際の消費電力(Ps)を基準電力(Pmax)でリミットできる。

## 【0014】

【発明が解決しようとする課題】ところで、かかる従来技術の不都合は、ドライバ類、中でもアドレスドライバ21の発熱対策が不十分な点にある。アドレスドライバ21の発熱は電力消費量、したがって画像の精細度に応じて増大する。また、表示パターンによっても大きく変化する。實際上640×480画素程度の精細度であれば、基板からの放熱で十分な熱収支を得られるが、それ以上の精細度（例えば800×600画素や1024×768画素）になると、もはや基板からの放熱だけでは不十分で、場合によってはアドレスドライバ21の熱破損を引き起こしかねない。また、表示パターンによっては特定のアドレスドライバが大きく発熱することがあり、この場合、トータルの電力消費が少なくないにも拘らずその特定のアドレスドライバが熱破損することもある。

【0015】この防止策は、① $P_{max}$ を下げるか、②放熱フィンや冷却ファンを装着するしかない。しかしながら、①は起動直後のようにそれほど温度が上昇していない場合でもサスティン周波数の低下による画質劣化を認めないし、②は設置スペースや騒音の問題を生じるうえ、そもそも冷却ファンの電力を余分に必要とするという致命的な問題がある。さらに、従来技術は、特定のアドレスドライバの発熱を検出できないという問題点もある。

【0016】そこで、本発明は、低中温状態での画質劣化を防止し、さらに設置スペースや騒音問題を招くことなく、しかも余分な電力も必要としない発熱対策を提供することを目的とする。

## 【0017】

【課題を解決するための手段】請求項1に係る発明は、表示パネル上にマトリクス状に配列された画素を駆動するドライバを備える平面表示装置の駆動回路において、前記ドライバの温度を検出する温度検出手段と、該温度検出手段によって検出された温度が基準温度を超えているか否かを判定する判定手段と、該判定手段によって否が判定されると前記ドライバの温度上昇の要因となる物理量を温度下降方向に制御する制御手段と、を備えたことを特徴とする。

【0018】請求項1に係る発明では、ドライバの温度が基準温度を超えない限り、制御手段が動作しないため、基準温度以下での画質劣化が防止される。また、ドライバの温度が基準温度相当の温度でリミットされるため、基準温度を適正化しておけば、冷却ファンはもとより大型の放熱フィンも必要とせず、設置スペースや騒音問題を招かないうえ、余分な電力も必要としない。

## 【0019】

【発明の実施の形態】以下、本発明の実施例を図面に基づいて説明する。図1～図4は、本発明に係る平面表示装置の駆動回路における第1実施例を示す図であり、サブフレーム方式の交流型PDPへの適用例である。な

お、従来例（図18）と共通する構成要素には同一の符号を付してある。

【0020】図1において、アドレスドライバ回路30は複数個（図では便宜的に3個）のドライバIC31～33で構成（図2参照）されており、それぞれのドライバICの出力数をN、ドライバICの個数をMとすれば、このアドレスドライバ回路30は最大でN×M本のアドレスバスライン（すなわちN×M個の水平方向の画素）を持つ表示パネル20を駆動できる。後述するように、それぞれのドライバIC31～33は温度判定出力を有しており、何れか一つのドライバICの温度判定出力がアクティブ（真）になると、制御回路25のマイクロコントローラ25fで“所定の制御ルーチン”が起動されるようになっている。“所定の制御ルーチン”とは、要するに、ドライバIC31～33の温度上昇の要因となる物理量を操作する制御であり、特に限定しないが、本実施例の場合、パルス電源制御回路25gを制御してアドレス期間におけるアドレス電極駆動波形（例えばアドレスパルス；図17の符号14参照）のレベルを下げるという操作である。

【0021】図3はドライバIC31～33（以下、31で代表）に共通の構成図である。シフトレジスタ31aや出力バッファ（パルスアンプ）31bは従来のドライバICにも設けられている構成要素であるが、温度センサ31c、基準電圧31d、比較回路31e及び論理回路31fは本実施例に特有の構成要素である。すなわち、温度センサ31cはドライバIC31の基板温度若しくはパッケージ温度に応じた電圧 $V_t$ を発生するものであり、比較回路31eは $V_t$ と基準電圧 $V_r$ とを比較して $V_t > V_r$ のときにアクティブとなる信号 $S_t$ を出力して論理回路31fの一入力に加えるものであり、論理回路31fは二つの入力の何れか一方又は両方がアクティブになったときにアクティブとなる信号（温度判定出力）を出力するものである。1段目のドライバIC31の温度判定出力は2段目のドライバIC32の論理回路32fの他入力に加えられており、また、2段目のドライバIC32の温度判定出力は3段目のドライバIC33の論理回路33fの他入力に加えられており、3段目のドライバIC33の温度判定出力は制御回路25のマイクロコントローラ25fに加えられている。すなわち、各ドライバICの温度判定出力がシリーズに接続され、一つでもアクティブになると、マイクロコントローラ25fに加えられる温度判定出力がアクティブになるようになっている。

【0022】なお、図4に示すように、比較回路31eの出力（ $S_t$ ）をそのドライバICの温度判定出力として取り出してもよい。この場合、各ドライバICからの温度判定出力のオア論理を取るための論理回路を別途設ければよい。以上の構成において、各ドライバIC31～33の実際の温度は、それぞれに設けられた温度セン

サ31cで検出される。今、ドライバIC31の温度が上昇したと仮定すると、温度センサ31cから出力される電圧 $V_t$ の値も上昇し、 $V_t > V_r$ になると、そのドライバIC31の温度判定出力がアクティブになる。したがって、マイクロコントローラ25fは所定の処理ルーチンを起動し、アドレス期間におけるアドレス電極駆動波形（例えばアドレスパルス；図17の符号14参照）のレベルが下げられる結果、ドライバIC31の温度上昇の速度が遅くなり、又は温度上昇がストップし、若しくは温度が下降に転ずるといふ何れかの作用が得られる。これは、アドレス電極駆動波形のレベルを下げると、ドライバICの特に出力バッファの電力消費を抑制できるからであり、電力消費と発熱は密接な関係にあるからである。

【0023】ところで、上記第1実施例にあつては、どのドライバICの温度が基準を超えているのか見分けが付かない。このため、きめ細かな制御を行えない点で改良の余地がある。図5～図14は、本発明に係る平面表示装置の駆動回路における第2実施例であり、きめ細かな制御を行えるように改良したものである。

【0024】図5において、本第2実施例のドライバIC31は、比較回路31の出力（ $S_t$ ）と前段のドライバICからの温度判定入力とを選択信号に従って切り換えるセクタ回路31gと、セクタ回路31hの出力を転送クロックに同期して保持すると共に温度判定出力として取り出す1ビットレジスタ回路31hとを有する点で第1実施例と相違する。

【0025】例えば、i段目のドライバICのセクタ回路31gを図示状態（ $S_t$ の選択状態）に切り換えると共に、他のドライバICのセクタ回路31gを図示と反対の状態に切り換えれば、全てのドライバICの1ビットレジスタ回路31hにi段目のドライバICの温度判定結果（ $S_t$ ）を保持できる。したがって、選択信号を適宜に発生することにより、各ドライバICの温度判定結果（ $S_t$ ）を順次に取り出すことができ、発熱状態のドライバICを特定できる。

【0026】図6はその一例を示す図であり、この図では、時間 $t_1 \sim t_2$ 、 $t_5 \sim t_6$ の間で温度判定出力がアクティブ（Hレベル）になっている。 $t_0 \sim t_1$ 、 $t_1 \sim t_2$ 、……、 $t_5 \sim t_6$ を各ドライバICに対応させたとすると、 $t_1 \sim t_2$ は2番目のドライバIC、 $t_5 \sim t_6$ は6番目のドライバICに対応する。したがって、この図によれば、2番目と6番目のドライバICが発熱状態にある。この状態は、例えば、2番目と6番目のドライバが受け持つ表示エリアに千鳥パターンが表示された場合などに現れる。

【0027】図7は、発熱状態にあるドライバICを特定できることを利用した、きめ細かな制御の一例であり、サブフレームのいくつかを停止するようにした例である。図7において、本実施例のドライバICは図5の

構成を有しており、マイクロコントローラ25fはアドレスドライバ回路30からの特定のドライバICに対応した温度判定出力にตอบสนองしてサブフレームのいくつかを停止するという所定の処理シーケースを実行する。

【0028】図8は、連続する複数のフィールド（便宜的にフィールド1～4）を示す図であり、この図では、フィールド2とフィールド3の第1及び第2サブフレームが動作停止となっている。言うまでもなく、停止状態のサブフレームでは、アドレスパルスやサステインパルスなどが発生しないから、同サブフレーム期間でのドライバICは電力を消費せず、発熱を抑制できる。なお、図8では、第1及び第2サブフレーム、すなわち短期間側のサブフレームの動作を停止させているが、これは、画質の劣化を防止するためである。

【0029】または、図9や図10に示すように、所定の処理シーケースでインターレース表示を行ってもよい。すなわち、図9のマイクロコントローラ25fは、アドレスドライバ回路30からの温度判定出力にตอบสนองしてインターレース制御回路25iを制御し、奇数番目のラインと偶数番目のラインを二つのフィールドで表示するインターレース表示を行っている。

【0030】図10は、インターレース表示の一例であり、この図では、フィールド1の終期にアクティブになった温度判定出力にตอบสนองして、フィールド2とフィールド3をインターレース表示にしている。インターレース表示ではフレーム周波数が実質的に $1/2$ になるから、ドライバICの発熱を抑制できる。このため、図示の例では、フィールド3で温度判定出力がインアクティブとなり、続くフィールド4が全ライン表示に復帰している。

【0031】図11は、上述のパルス電源制御回路25g、サブフレーム制御回路25h及びインターレース制御回路25iの併用例であり、マイクロコントローラ25fでアドレス電極駆動波形の低下操作、サブフレームのいくつかを動作停止させる操作、及びインターレース表示操作の一つ若しくはこれらの組み合わせを実行できるようにした例である。

【0032】または、図12に示すように、パルス電源制御回路25gで各ドライバIC31～33ごとのパルス電源を発生できるようにし、各ドライバIC31～33ごとのパルス電源を個別に制御するようにしてもよい。あるいは、図13に示すように、アドレスドライバ回路30に与えるアドレスデータ（表示データに相当）の下位ビットのいくつかを0に固定するためのデータ制御回路25jを設けてもよい。

【0033】すなわち、図14に示すように、発熱状態にあるドライバIC（図では2番目のドライバICと6番目のドライバIC）に与える下位アドレスデータを0に固定すれば、当該ドライバICは非動作状態になるから、発熱を抑制できる。

## 【0034】

【発明の効果】本発明によれば、低中温状態で画質劣化を防止し、さらに設置スペースや騒音問題を招かず、しかも余分な電力も必要としない発熱対策を提供でき、特にPDPの高画質化に貢献することができる。

## 【図面の簡単な説明】

【図1】第1実施例の全体構成図である。

【図2】第1実施例のアドレスドライバ回路の構成図である。

【図3】第1実施例のドライバICの構成図である。

【図4】第1実施例のドライバICの他の構成図である。

【図5】第2実施例のドライバICの構成図である。

【図6】第2実施例のドライバICの動作波形図である。

【図7】第2実施例の全体構成図（その1）である。

【図8】第2実施例のサブフレーム操作概念図である。

【図9】第2実施例の全体構成図（その2）である。

【図10】第2実施例のインターレース表示操作概念図\*

\*である。

【図11】第2実施例の制御回路の他の構成図である。

【図12】第2実施例の全体構成図（その3）である。

【図13】第2実施例の全体構成図（その4）である。

【図14】第2実施例のアドレスデータ操作概念図である。

【図15】3電極型PDPの断面構造図である。

【図16】サブフレーム方式のフレーム構成図である。

【図17】1サブフレームの波形タイミング図である。

【図18】交流型PDP及びその駆動装置の概略構成図である。

【図19】APC回路の構成図である。

## 【符号の説明】

20：表示パネル

25f：マイクロコントローラ（制御手段）

31～33：ドライバIC（ドライバ）

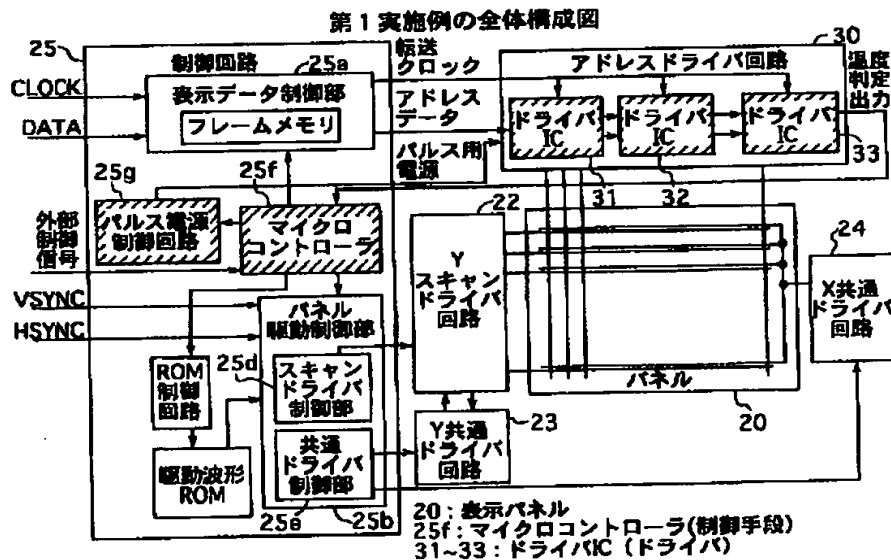
31c：温度センサ（温度検出手段）

31d：基準電圧（基準温度）

31e：比較回路（判定手段）

20

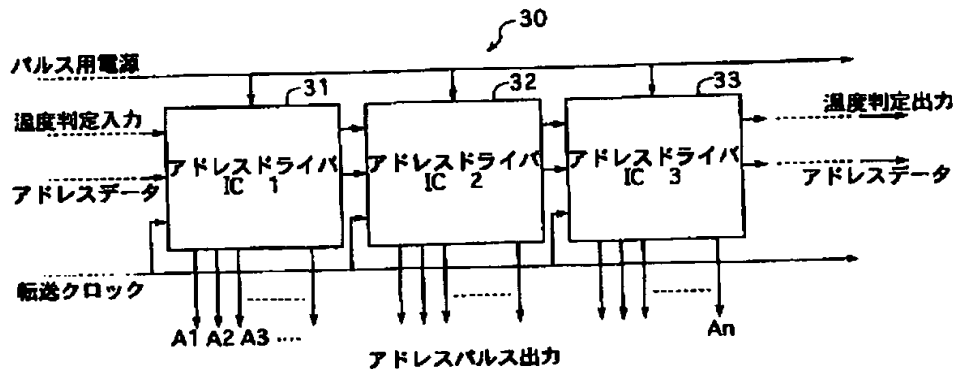
【図1】





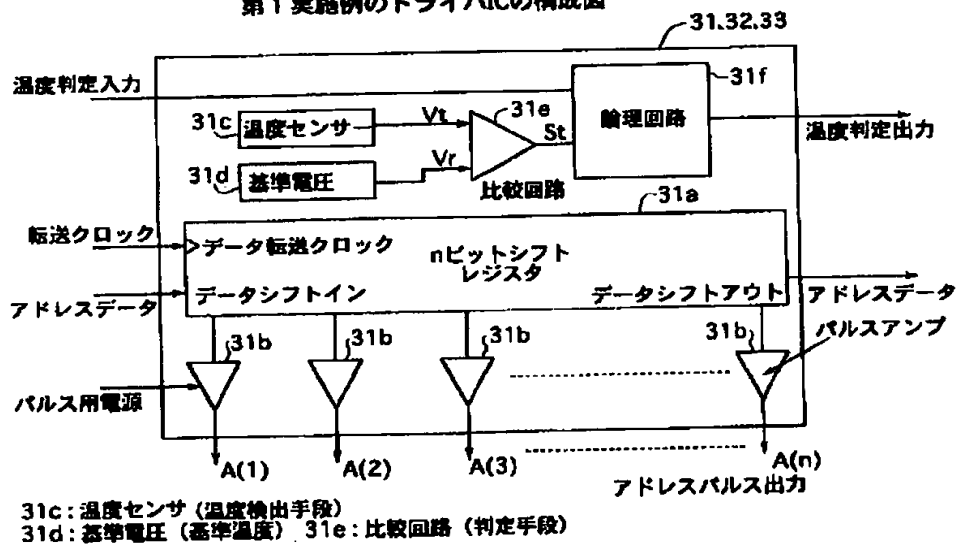
【図2】

第1実施例のアドレスドライバ回路の構成図



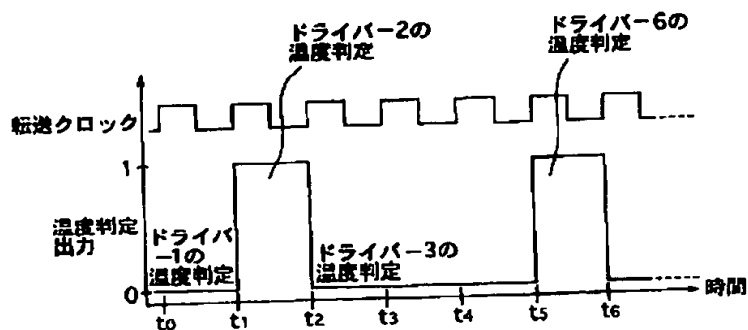
【図3】

第1実施例のドライバICの構成図



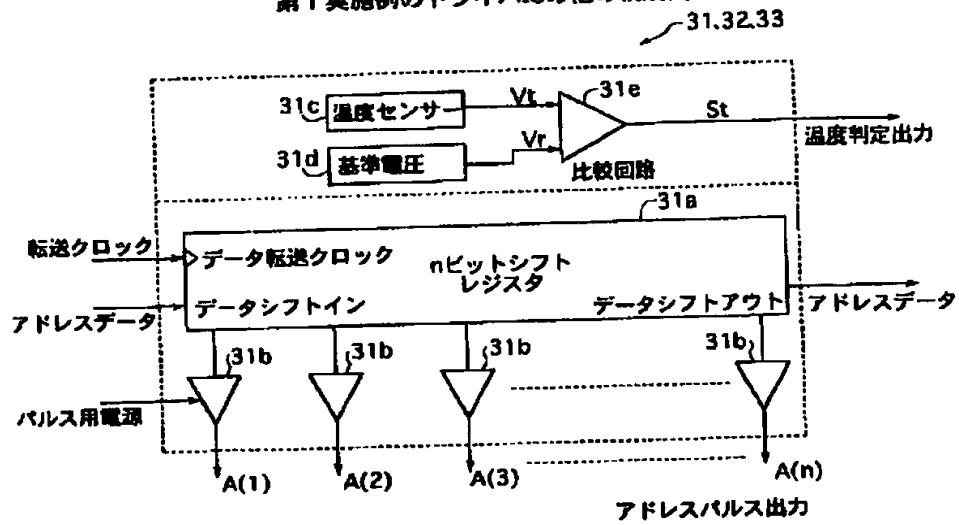
【図6】

第2実施例のドライバICの動作波形図



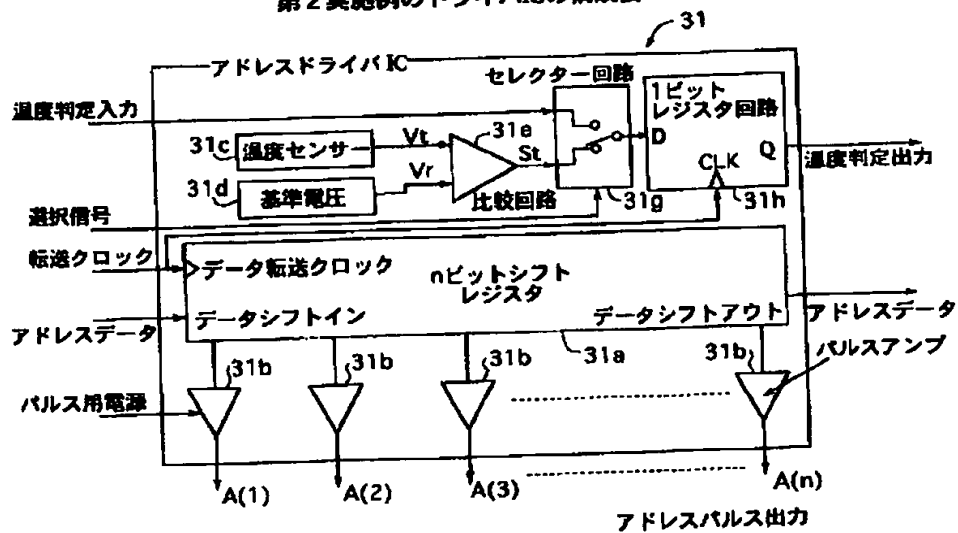
【図4】

## 第1実施例のドライバICの他の構成図



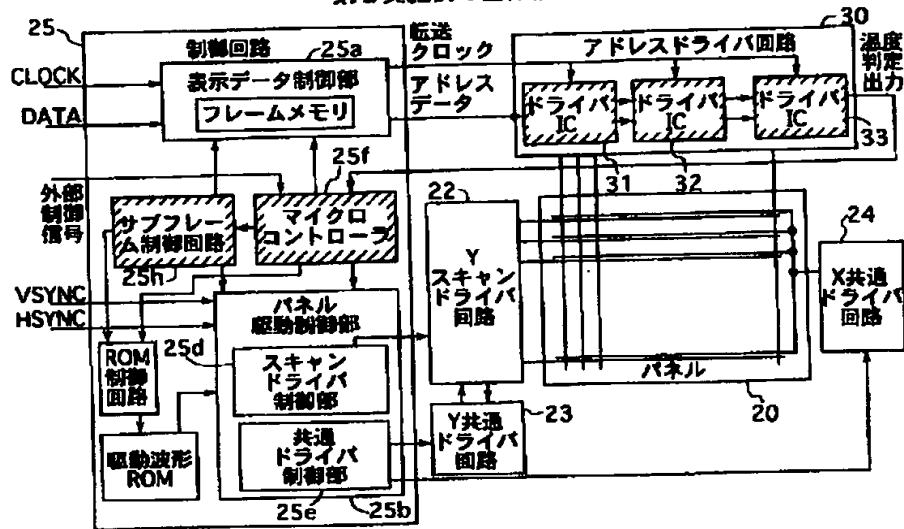
【図5】

## 第2実施例のドライバICの構成図



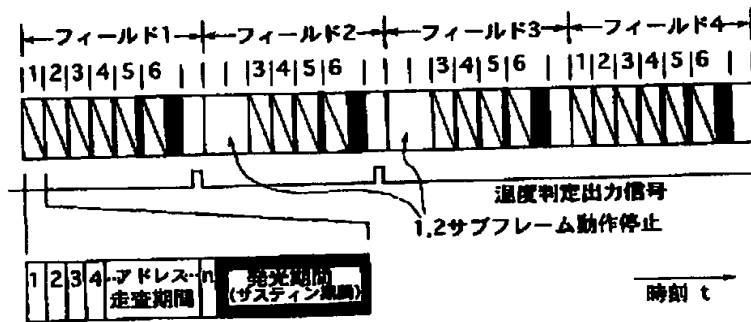
【図7】

第2実施例の全体構成図（その1）



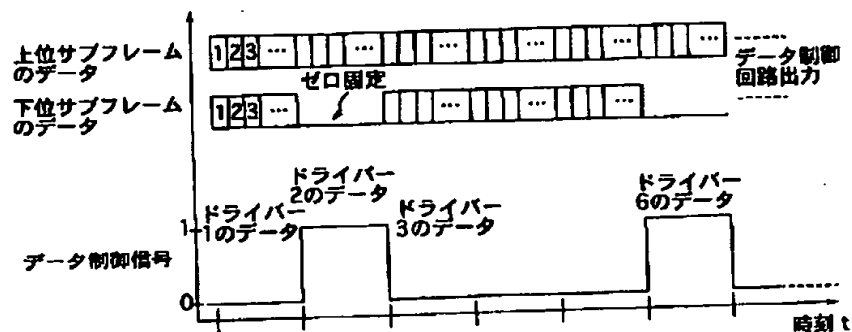
【図8】

第2実施例のサブフレーム操作概念図



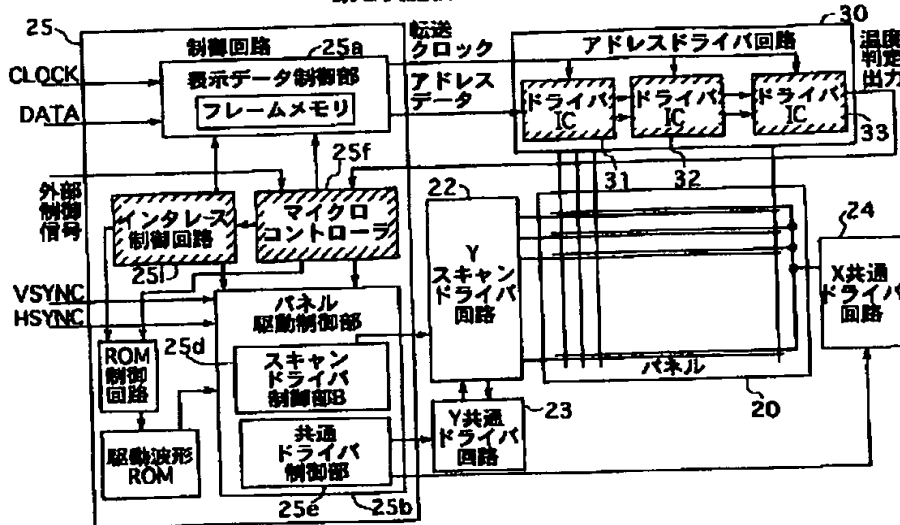
【図14】

第2実施例のアドレスデータ操作概念図



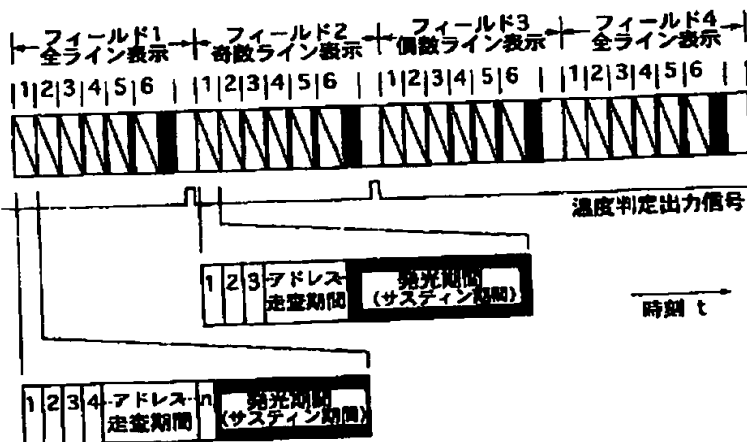
【図9】

第2実施例の全体構成図（その2）



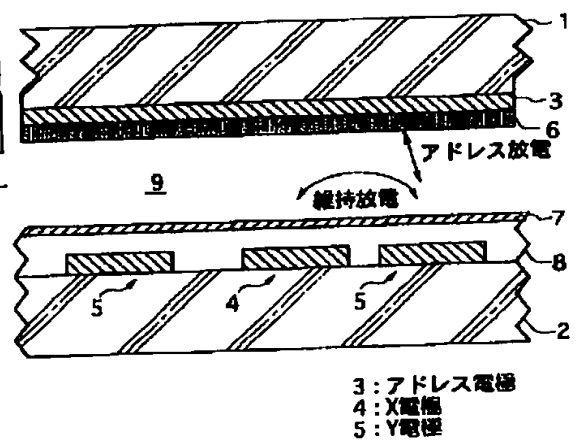
【図10】

第2実施例のインターレース表示操作概念図

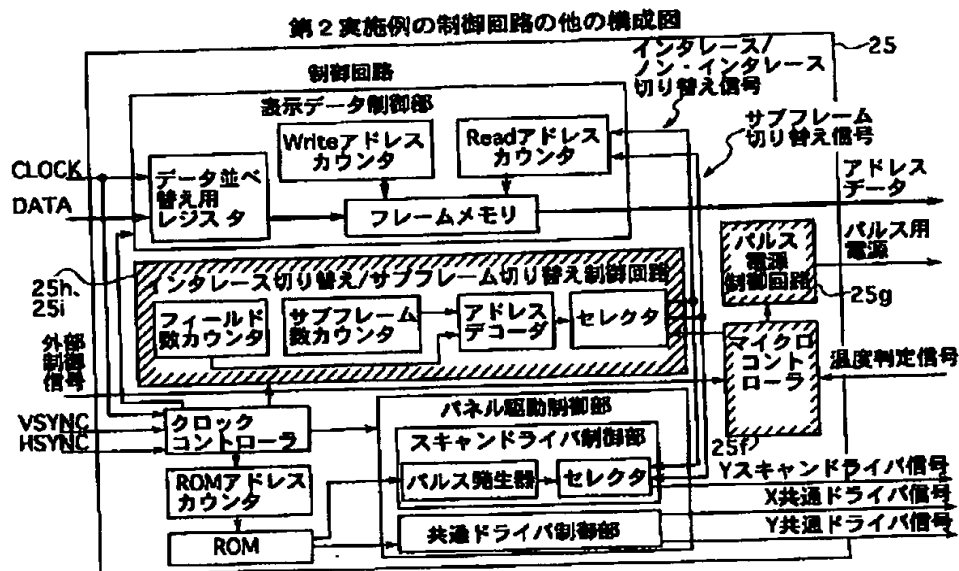


【図15】

3電極型PDPの断面構造図

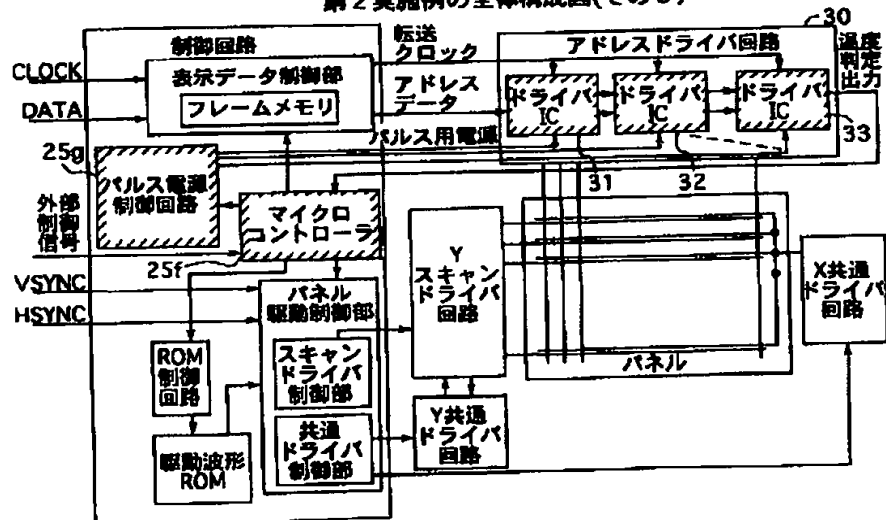


【図11】

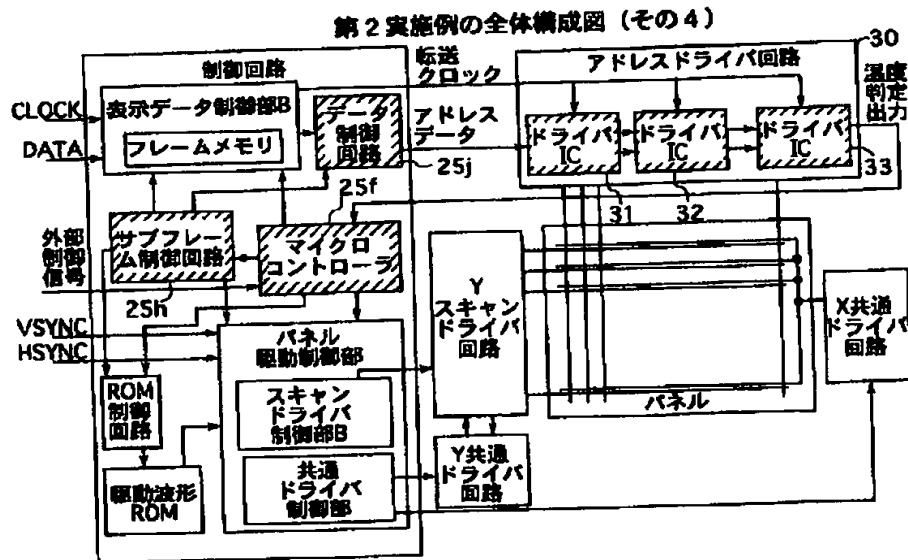


【図12】

第2実施例の全体構成図(その3)

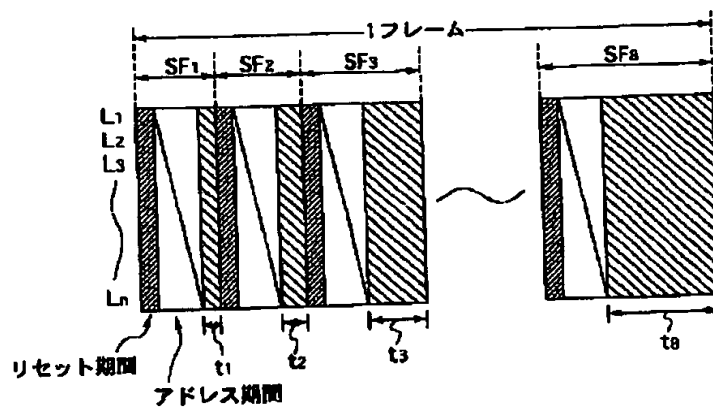


【図13】

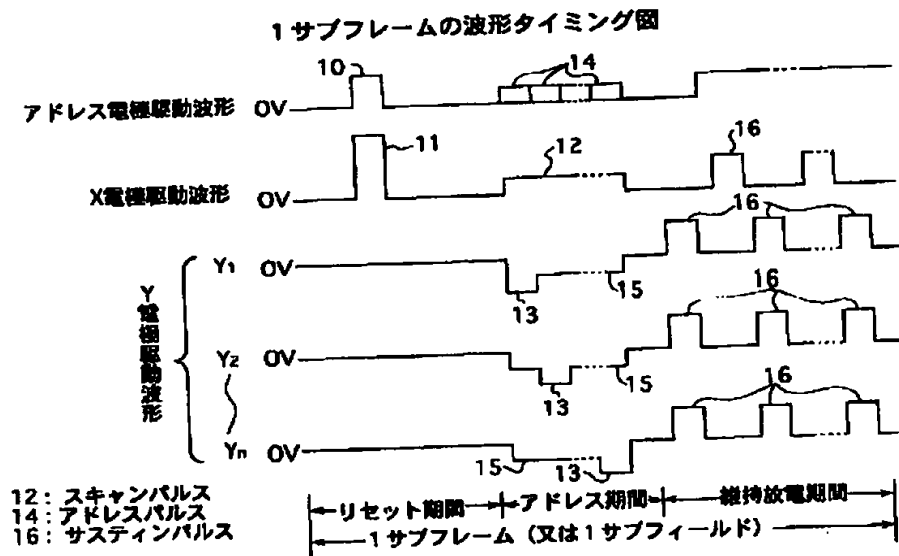


【図16】

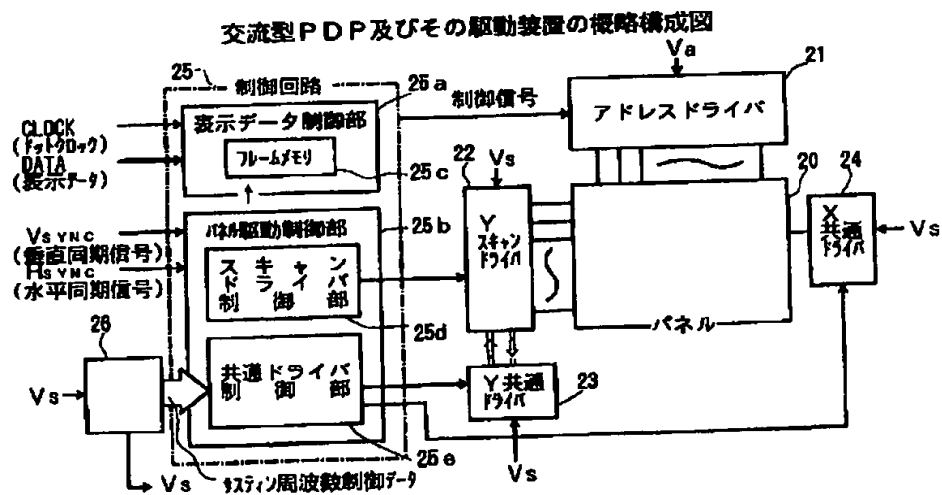
サブフレーム方式のフレーム構成図



【図17】

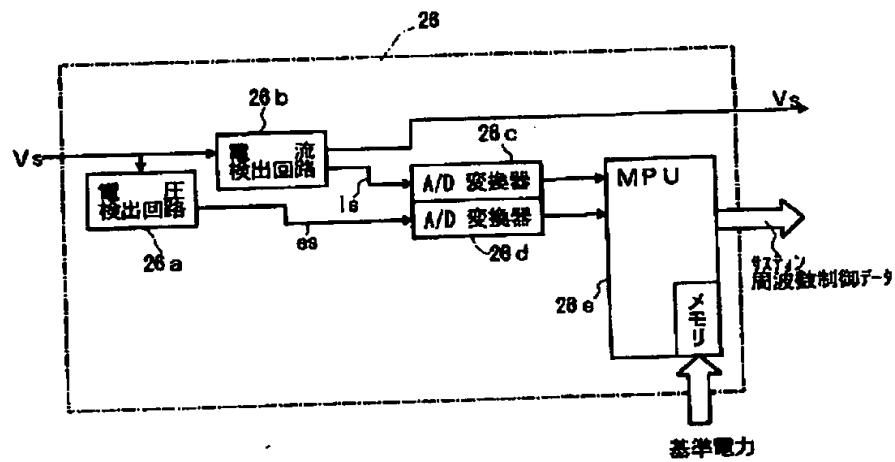


【図18】



【図19】

## APC回路の構成図



フロントページの続き

(72)発明者 浅見 文孝  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号 富士通株式会社内

(72)発明者 岡安 順一  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号 富士通株式会社内